

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: 01268064 A

(43) Date of publication of application: 25.10.1989

(51) Int. Cl. H01L 29/78  
H01L 21/205, H01L 27/10

(21) Application number: 63095564  
(22) Date of filing: 20.04.1988

(71) Applicant: HITACHI LTD  
(72) Inventor: HASHIMOTO KOJI  
KAWAMOTO YOSHIFUMI  
KOBAYASHI TAKASHI

## (54) FORMATION OF POLYCRYSTALLINE SILICON THIN FILM

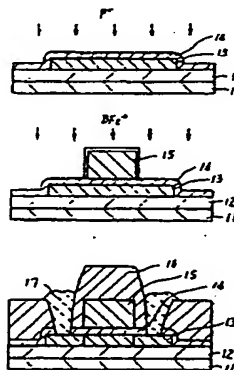
## (57) Abstract

**PURPOSE:** To make it possible to manufacture a polycrystalline Si MOS type field-effect transistor characterized by a small OFF current, a small absolute value of threshold voltage and a large operating current, by using disilane or trisilane as a reacting gas, performing deposition in an amorphous state at a specified temperature, performing a heat treatment and polycrystallization.

**CONSTITUTION:** Decomposition is performed at a temperature of 550°C or less by using disilane or trisilane as a reacting gas, and deposition is performed under an amorphous state. Heat treatment is performed at a temperature higher than the deposition temperature, and a polycrystalline state is obtained. For example, an amorphous Si film 13 is deposited on an SiO<sub>2</sub> film 12 on a P-type Si substrate 11 by an LPCVD method by using Si<sub>2</sub>H<sub>6</sub> gas as a reacting gas at a temperature of 520°C. The film is patterned in an island shape. Thereafter, an SiO<sub>2</sub> film 14 is deposited. Heat treatment is performed at 900°C, and a gate oxide film

is obtained. Then, P ions are implanted in the polycrystalline Si 13. A polycrystalline Si film is deposited by using SiH<sub>4</sub> as a reacting gas, and a gate electrode 15 is formed. Then, an SiO<sub>2</sub> film is formed by heat treatment. BF<sub>3</sub> ions are implanted, and P-type high concentration impurity regions for a source, a drain and a gate are formed.

COPYRIGHT: (C)1989,JPO&amp;Japio



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平1-268064

⑬ Int. Cl. <sup>4</sup>	⑭ 発明の名称	⑮ 発明の要約
H 01 L 29/78 21/205 27/10	⑯ 特 願 昭63-85564 ⑰ 出 願 昭63(1988)4月20日	⑱ 公開 平成1年(1989)10月25日
	⑲ 発明の名称 多結晶シリコン薄膜の形成方法	⑳ 発明の要約

⑲ 発明の名称 多結晶シリコン薄膜の形成方法

⑳ 特 願 昭63-85564

㉑ 出 願 昭63(1988)4月20日

㉒ 発 明 者	篠 本 孝 司	東京都国分寺市東恋ヶ丘1丁目280番地 株式会社日立製作所中央研究所内
㉓ 発 明 者	川 本 恒 史	東京都国分寺市東恋ヶ丘1丁目280番地 株式会社日立製作所中央研究所内
㉔ 発 明 者	小 林 孝	東京都国分寺市東恋ヶ丘1丁目280番地 株式会社日立製作所中央研究所内
㉕ 出 願 人	株式会社日立製作所	東京都千代田区神田駿河台4丁目6番地
㉖ 代 理 人	弁理士 小川 勝男	外1名

#### 明 細 書

##### 1. 発明の名称

多結晶シリコン薄膜の形成方法

##### 2. 特許請求の範囲

1. 反応ガスにジシランあるいはトリシランを用い、550℃以下の温度で分解させ非晶質状態で堆積し、更に堆積温度よりも高い温度の加熱処理を施すことにより多結晶化をさせることを特徴とした多結晶シリコン薄膜の形成方法。
2. 上記多結晶シリコン膜中に、ソースおよびドレイン領域を形成し、電流経路を該多結晶シリコン膜とする、多結晶シリコンMOS型電界効果トランジスタ。
3. 上記多結晶シリコン膜に対して酸素雰囲気中でランプ加熱による短時間酸化を行い、これをゲート酸化膜とするか、或いはランプ加熱による短時間アニール又は短時間酸化を行った後に、化学気相蒸着で絶縁膜を堆積し、これをゲート絶縁膜とするか、或いは化学気相蒸着で絶縁膜を堆積した後にランプ加熱による短時間アニール又は短時間酸化を行い、これをゲート絶縁膜とするか、或いは短時間酸化を行った後に、化学気相蒸着で絶縁膜を堆積し、これをゲート絶縁膜とする。

ル又は短時間酸化を行い、これをゲート絶縁膜とすることを特徴とする多結晶シリコンMOS型電界効果トランジスタ。

4. 上記多結晶シリコンMOS型電界効果トランジスタを少くとも一方に用いた積層型MOS素子。

5. 上記多結晶シリコンMOS型電界効果トランジスタを負荷とした一方のインバータで構成されたフリップフロップ回路と、それぞれの出力に接続されている従来MOSトランジスタによつて構成されていることを特徴とする、素子CMOS型スタティクランダムアクセスメモリ。

##### 3. 発明の詳細な説明

(発明上の利用分野)

本発明は、半導体装置およびその製造方法に係り、特に多結晶SIMOS型電界効果トランジスタの、オフ電流を減少させ、しきい電圧のばらつきを減少させ、動作電流を増加させるのに好適な半導体装置およびその製造方法に関する。

特開平1-268064(2)

(発明の技術)

アイ・イー・イー・イー・エレクトロン デバイス レター イーディーエル-5 (1984年) 第468頁から第470頁 (IEEE Electron Device Lett., EDL-5, p 468 (1984)) において論じられているように、従来、多結晶Si MOS型電界効果トランジスタにおいてはチャネル部の多結晶Si膜の形成には反応ガスにモノシランガスを用い600~650℃の温度範囲で低圧化学気相成長法が用いられている。

(発明が解決しようとする課題)

上記従来技術は、チャネル領域となる多結晶Si膜の結晶性および多結晶Siとゲート絶縁膜との界面の平滑さについては配慮されておらず、オフ電流が大きい、しきい電圧の絶対値が大きい、動作電流が小さいといった問題があった。

本発明の目的は、オフ電流が小さくしきい電圧の絶対値が小さくかつ動作電流の大きな多結晶Si MOS型電界効果トランジスタおよびその製造方法を提供することにある。

(課題を解決するための手段)

上記目的は、チャネル領域となる多結晶Si膜の結晶性を大きくし、かつゲート絶縁膜との界面を平滑にすることで達成される。

そのために、多結晶Si膜の形成において、従来のモノシランに代えてジシランあるいはトリシランを反応ガスに用い550℃以下450℃以上の温度で堆積させて、その後焼結処理を行うことにより結晶性の大きき、かつゲート絶縁膜との界面の平滑な多結晶Si膜を得ることができた。

この多結晶Si膜をチャネル領域として用いることにより上記問題点は大幅に改善できる。

(作用)

ジシランあるいはトリシランを反応ガスに用いたLPCVD法により550℃以下で堆積したSi膜は多結晶状態であり、焼結処理によって大きく結晶成長し、しかもその表面は非常に平滑である。

それによつて、該多結晶Si膜をチャネル部に用いた、MOS型電界効果トランジスタは、オフ電流が小さく、しきい電圧の絶対値が小さく、動

作電流が大きくなる。

(実施例)

以下図面を参照しながら本発明を詳述する。

実施例1

①型Si基板11を用い、熱酸化し100nmのSiO<sub>2</sub>膜12を形成する。その上に低圧化学気相成長法(以下LPCVD法と略記)により、反応ガスに10%Si<sub>2</sub>H<sub>6</sub>ガス(母ベース)を用い温度520℃で非晶質Si膜13を50nm堆積する。ホトレジストパターンをマスクとしてCCl<sub>4</sub>ガスを用いたドライエッチング法でSiを島状にパターン形成する。SiH<sub>4</sub>ガスとH<sub>2</sub>Oガスの熱分解を用いたLPCVD法によりSiO<sub>2</sub>膜14を25nm堆積し、続いてO<sub>2</sub>ガス雰囲気中で900℃、10分の熱処理を行いゲート酸化膜とする。続いて、多結晶Si13中に、Pを50keVでドーズ量1×10<sup>13</sup>cm<sup>-2</sup>イオン打ち込みする(第1図A)。

次に反応ガスにSiH<sub>4</sub>を用い620℃でLPCVD法により多結晶Si膜15を300nm堆積し、レジ

ストパターンマスクでCCl<sub>4</sub>ガスを用いたドライエッチング法でゲート電極15を形成する。続いて900℃のO<sub>2</sub>ガス雰囲気中で30分熱処理を行い10nmのSiO<sub>2</sub>膜を形成し、BP<sub>2</sub>を25keVでドーズ量2×10<sup>14</sup>cm<sup>-2</sup>イオン打ち込みしソース・ドレインおよびゲートのP型高抵抗不純物領域を形成する(第1図B)。

次にSiH<sub>4</sub>ガスとH<sub>2</sub>Oガスの熱分解を用いたLPCVD法によりSiO<sub>2</sub>膜16を200nm堆積し、レジストパターンをマスクとしてHF水溶液中でウエットエッチングしコンタクト穴を形成する。さらに0.9μmのAlを蒸着し、ホトレジストパターンをマスクにBCl<sub>3</sub>およびCCl<sub>4</sub>ガスを用いるドライエッチング法で図示のパターンを形成し、水溶液雰囲気中450℃、30分の熱処理を行う(第1図C)。

本実施例により製造した多結晶SiパチャネルMOS型電界効果トランジスタにおいて、ソースを接合しドレインおよびゲート電極に電圧を印加しドレイン電流を測定した。

### 特開平1-268064(3)

チャネル形成となる多結晶Siを成長の620℃でSiH<sub>4</sub>ガスをを用いたLPCVD法で製造した多結晶Si $\beta$ チャネルMOS型電界効果トランジスタにおいて同様の測定を行い、比較したところチャネル長1.6 $\mu$ m、チャネル幅10 $\mu$ mにおいてゲート電圧0Vの時のオフ電流は38.4pAから35.9pAに減少し、ゲート電圧-4Vの時の動作電流は0.01 $\mu$ Aから0.7 $\mu$ Aに増加し、ドレイン電流10 $\mu$ Aの時のゲート電圧で定義したしきい電圧の絶対値は3.0Vから2.5Vに減少し、キャリア移動度は0.7 $\text{cm}^2/\text{V}\cdot\text{s}$ から5.0 $\text{cm}^2/\text{V}\cdot\text{s}$ と増加し、特性は大幅に改善された。

実施例2

実施例1と同じ製造方法により、 $\beta$ 型Si $\beta$ 薄膜21上に酸化膜22を形成し、反応ガスにSiH<sub>4</sub>を用いる20℃においてLPCVD法でSi膜23を50nm堆積する。続いてSi島の形成を行った後、O<sub>2</sub>ガス雰囲気中で、ランプ加熱による窒素固定化を1150℃で150秒行いSiO<sub>2</sub>膜24を26nm形成しゲート酸化膜とする。図1

る。

まず、 $\beta$ 型Si $\beta$ 基板31を用とし、酸化化し100nmのSiO<sub>2</sub>膜32を形成する。その上にLPCVD法により150nmの多結晶Si膜を堆積し、875℃でPOCF<sub>3</sub>によるリン酸塩を行い、ホトレジストパターンをマスクとしてCC<sub>2</sub>ガスをを用いたドライエッチング法でゲート電極33を形成する(第3図A)。

次に、反応ガスにSiH<sub>4</sub>とN<sub>2</sub>Oを用いたLPCVD法によりSiO<sub>2</sub>膜を25nm堆積し、続いてO<sub>2</sub>ガス雰囲気中で900℃で、10分の熱処理を行いゲート酸化膜34とする。その上に反応ガスに10%SiH<sub>4</sub>ガス(H<sub>2</sub>ベース)を用い、温度520℃でLPCVD法により非晶質Si膜35を50nm堆積する。ホトレジストパターンをマスクとしてCC<sub>2</sub>ガスをを用いたドライエッチング法で所定の形状に加工する。次にLPCVD法によりSiO<sub>2</sub>膜36を15nm堆積し、多結晶Si中にPを40 $\text{E}\cdot\text{V}$ で $1\times 10^{14}\text{cm}^{-2}$ イオン打ち込みを行う(第3図B)。

て実施例1と同じ製造方法により、多結晶Si $\beta$ ゲート電極25を形成し、10nmのSiO<sub>2</sub>膜を形成後、8P $\mu$ のイオン打ち込みを行う。更に、200nmのCVDSiO<sub>2</sub>膜26を堆積、ウニットエッチングでコンタクト穴を形成、A $\beta$ 配線27を形成後、水素雰囲気中で熱処理を行う。断面図を第2図に示す。

本実施例で製造した多結晶Si $\beta$ チャネルMOS型電界効果トランジスタにおいて、実施例1と同様の測定を行った結果より、オフ電流は、7.7pA、動作電流は4.2 $\mu$ A、しきい電圧は1.7Vキャリア移動度は8 $\text{cm}^2/\text{V}\cdot\text{s}$ と特性は大幅に向上できた。

実施例3

以上述べた実施例1、実施例2はすべて、ゲート絶縁膜上にゲート電極を有した構造である。この構造に対し、高濃度の不純物を含む多結晶Si $\beta$ ゲート電極上にゲート絶縁膜を形成した構造がある。本実施例は、そのような構造に対して同程度の解決を図った例であり、第3図を用いて説明す

次にホトレジストパターンをマスクとして、BF<sub>3</sub>を25 $\text{X}\cdot\text{V}$ で $2\times 10^{14}\text{cm}^{-2}$ イオン打ち込みし、ソース・ドレインのP型高濃度不純物層を形成する。

次にCVD法によりSiO<sub>2</sub>膜37を200nm堆積し、N<sub>2</sub>ガス雰囲気中で、900℃で、10分間の熱処理を行った後に、ホトレジストパターンをマスクとしてHF系水溶液中でウニットエッチングしコンタクト穴を形成する。更に0.3 $\mu$ mのA $\beta$ 38を堆積し、ホトレジストパターンをマスクにBC<sub>2</sub>およびCC<sub>2</sub>ガスをを用いたドライエッチング法で図2のパターンを形成後、水素雰囲気中450℃で、30分の熱処理を行う(第3図C)。

本実施例においても実施例1と同様の効果があり、チャネル長1.6 $\mu$ m、チャネル幅10 $\mu$ mにおいて、オフ電流は10pA、動作電流は0.4 $\mu$ A、しきい電圧は-2.5V、キャリア移動度は6 $\text{cm}^2/\text{V}\cdot\text{s}$ と特性は大幅に向上できた。

実施例4

特開平1-288064 (4)

本発明を、相補型MOS (CMOS) インバータに適用した実施例を用いて説明する。

まず、 $p$ 型Si基板401を用とし、通常の選択酸化法 (LOCOS 法) を用い素子分離領域402を形成する。熱酸化により17nmのゲート酸化膜403を形成後、 $n$ チャネルMOSトランジスタのしきい電圧を調整するために $BF_3$ を40K $\times$ V、 $1.5 \times 10^{13} \text{cm}^{-2}$ イオン打ち込みする (第4図A)。

次に、SiH<sub>4</sub>ガスを用いたLPCVD 法により多結晶Si膜250nm $\times$ を堆積し、導電性を増大させるためのリン拡散を行った後、LPCVD 法でSiO<sub>2</sub>膜405を100nm増殖し、ドライエッチング法によりゲート電極を形成する。次にLDD形成用の低濃度 $p$ 形成のための $P$ を40K $\times$ Vで $1.2 \times 10^{12} \text{cm}^{-2}$ イオン打ち込みする。次にLPCVD 法によりSi<sub>3</sub>N<sub>4</sub>膜を300nm増殖し $n$ 方性ドライエッチングによりゲート電極絶縁にサイドウォール406を形成し、 $A_2$ を40K $\times$ Vで $5 \times 10^{12} \text{cm}^{-2}$ イオン打ち込みし、ソース・ドレイン

となる高濃度 $n$ 型領域を形成する (第4図B)。

次に、N<sub>2</sub>ガス中900℃、10分の熱処理により不純物の活性化を行った後、LPCVD 法により層間のSiO<sub>2</sub>膜407を100nm増殖する。続いて、反応ガスにSiH<sub>4</sub>を用い温度520℃においてLPCVD 法により多結晶Si膜408を50nm増殖する。ホトレジストパターンをマスクとしたドライエッチング法で所定形状に加工し、LPCVD 法によりSiO<sub>2</sub>膜を25nm増殖し、N<sub>2</sub>ガス雰囲気中で900℃、10分の熱処理を行いゲート酸化膜408とする。次に、反応ガスにSiH<sub>4</sub>を用いたLPCVD 法により多結晶Si1410を250nm増殖し、ドライエッチング法で所定形状に加工した後、O<sub>2</sub>ガス雰囲気中900℃、30分間の熱処理を行い10nmのSiO<sub>2</sub>膜を形成しBF<sub>3</sub>を25K $\times$ Vでドーザ量 $2 \times 10^{12} \text{cm}^{-2}$ イオン打ち込みし、ソース・ドレインおよびゲートの $P$ 型高濃度 $n$ 型領域を形成する (第4図C)。

次に、CVD法により層間のSiO<sub>2</sub>膜411

を200nm増殖し、ドライエッチング法でコンタクト孔を形成し、900nmのAl412を堆積し、ドライエッチング法で配線パターンを形成後、H<sub>2</sub>ガス雰囲気中450℃、30分の熱処理を行う (第4図D)。

次に、SiH<sub>4</sub>ガスとNH<sub>3</sub>ガスを反応ガスに用いたプラズマCVD法によりSi<sub>3</sub>N<sub>4</sub>膜を1nm増殖し、ドライエッチング法で所定形状に加工した後、N<sub>2</sub>ガス雰囲気中で450℃、30分の熱処理を行う。

以上の方法で製造したCMOSインバータを用い7段のリング発振器を作り、動作確認を行ったところ、1段当たりのゲート遅延時間は350psであった。

実施例5

本発明を、完全CMOS型スタティック・ランダム・アクセス・メモリ (SRAM) のメモリセルに適用した実施例を第5図を用いて説明する。本実施例では第5図Aに示した等価回路のメモリセルを形成する。一片のインバータの負荷として

$p$ チャネル多結晶Si MOS 型電界効果トランジスタを用いた。

まず、 $n$ 型Si基板501を用とし、 $p$ ウェル $1 \times 10^{16} \text{cm}^{-3}$ の $p$ ウェル502形成後、選択酸化法 (LOCOS 法) を用い素子分離領域503を形成する。

熱酸化により、17nmのゲート酸化膜504を形成後、 $n$ チャネルMOSトランジスタのしきい電圧を調整するために $BF_3$ を40K $\times$ V、 $1.5 \times 10^{13} \text{cm}^{-2}$ イオン打ち込みする (第5図B)。

層間MOSトランジスタのゲート電極と電圧MOSトランジスタの拡散層との直結接続のための接触孔を形成しSiH<sub>4</sub>ガスを用いたLPCVD 法により多結晶Si505を250nm増殖し、675℃で $POCl_3$ を用いたリン拡散を行った後、LPCVD 法でSiO<sub>2</sub>膜506を100nm増殖し、ドライエッチング法によりゲート電極を形成する。次にLDD形成用の低濃度 $p$ 形成のための $P$ を40K $\times$ Vで $1.2 \times 10^{12} \text{cm}^{-2}$ イオン打ち込みする。次にLPCVD 法によりSiO<sub>2</sub>膜を

## 特開平1-268064(5)

300nmを堆積し、ドライエッチングによりゲート電極層にサイドウォール507を形成し、 $A_0$ を40Vで $5 \times 10^{14} \text{cm}^{-2}$ イオン打ち込みし、ソース・ドレインとなる高抵抗不純物領域を形成する(第5図C)。

次に、 $N_2$ ガス中900℃、10分の熱処理により不純物の活性化を行った後、LPCVD法により絶縁の $SiO_2$ 膜508を100nm堆積する。続いて、多結晶 $Si$ パチャネルMOSトランジスタのゲート電極とパチャネルMOSトランジスタのゲート電極とを接続するための接続孔を形成した後、 $SiH_4$ ガスを用いたLPCVD法により多結晶 $Si$ 100nmを堆積し、LPCVD法により $SiO_2$ 膜20nmを堆積した後 $A_0$ を80Vで $2 \times 10^{14} \text{cm}^{-2}$ イオン打ち込みを行い、 $N_2$ ガス中900℃、10分の熱処理を行った後に、ウェットエッチングにより $SiO_2$ 膜を除去する。

続いて、ホトレジストパターンをマスクとしてドライエッチング法により多結晶 $Si$ 膜を所定形状に加工しゲート電極509とする。次に、

LPCVD法により $SiO_2$ 膜25nmを堆積し、 $N_2$ ガス雰囲気中、900℃、10分の熱処理を行い、これをゲート酸化膜 $SiO_2$ とする。次に、多結晶 $Si$ パチャネルMOSトランジスタのドレイン部とソース部とを接続するインバータのゲート電極とを接続するための接続孔を形成した後、反応ガスに $SiH_4$ を用いた第5図DにおいてLPCVD法により多結晶 $Si$ 膜511を50nm堆積する。ホトレジストパターンをマスクとしたドライエッチング法で所定形状に加工し、LPCVD法により $SiO_2$ 膜を15nmを堆積し、ホトレジストパターンをマスクに $BPF_3$ を25Kvで $2 \times 10^{14} \text{cm}^{-2}$ イオン打ち込みしソース・ドレイン領域を形成する(第5図E)。

次にLPCVD法により $SiO_2$ 膜512を100nmを堆積し、その上に $B$ および $P$ を含んだ $SiO_2$ 膜513を第5図Fにおいて350nm堆積する。続いて、第5図GにパチャネルMOSトランジスタのゲート電極とワード線とを接続するための接続孔を形成した後、 $TiN$ 150nm、 $W$ 100

nmを蒸着し(514)、ドライエッチング法で所定形状に加工する。続いて反極性層として $P$ を含んだ $SiO_2$ 膜515を500nmを堆積し、データ線の接続孔を形成した後、 $TiN$ 150nm、 $W$ 900nmを蒸着し(516)、ドライエッチング法で所定形状に加工する。

最後に、 $H_2$ ガス雰囲気中で450℃、30分の熱処理を行った後に、最終保護膜として $SiH_4$ と $NH_3$ を反応ガスを用いたプラズマCVD法により、 $Si_3N_4$ 膜を1 $\mu m$ を堆積し、ドライエッチング法で所定形状に加工した後、 $N_2$ ガス雰囲気中で450℃、30分の熱処理を行う(第5図F)。

以上の方で製造したメモリセルは同等の設計ルールで製造した、 $Si$ 基板内に6個のトランジスタを作った従来の完全CMOS型のメモリセルに比べてセル面積を約2/3に減少できた。これは従来の高抵抗負荷型のメモリセルと同等である。

更に、メモリの読出し電圧は1ビット8リド、1pAと高抵抗負荷型セルの1/10にでき、又、ソフトエラー率でも数倍減少できた。

## 【発明の効果】

上記説明から明らかなように、本発明によれば多結晶 $Si$ MOS型電界効果トランジスタのチャネル領域に、従来の用いられていた $SiH_4$ 、代わりに $SiH_4$ の過剰分を用いて形成した $Si$ 膜を用いることにより、オフ電流を減少させ、動作電流を増加させ、しきい電圧の絶対値を減少させる効果がある。

上記実施例ではパチャネル型電界効果トランジスタを示したが、本発明はそれに限定されるものではなくパチャネル型電界効果トランジスタにも適用可能である。従つて実施例4に示したCMOSインバータ回路においても、 $Si$ 基板内にパチャネルMOSトランジスタがあり、パチャネルMOSトランジスタを多結晶 $Si$ 中に作ったもの、あるいは四方共に多結晶 $Si$ 中に作ったものがある。

又、多結晶 $Si$ MOS型電界効果トランジスタの特性改善に通常用いられる、ダングリングボンドの水素化処理を減らすことにより更にいつそうの改善を図ることも可能である。

特開平1-268064(5)

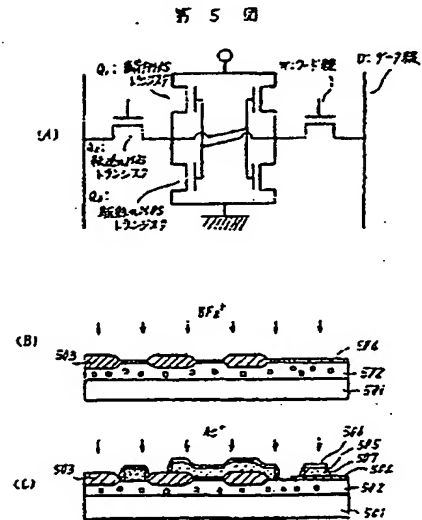
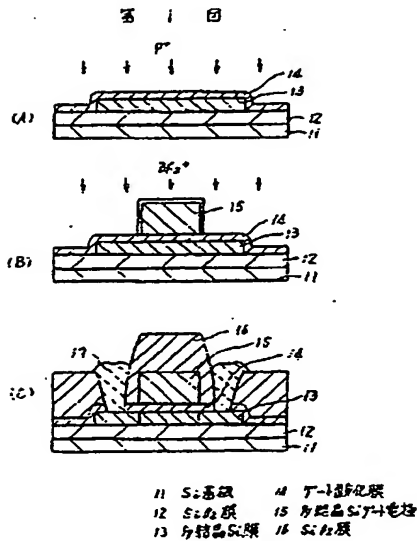
4. 図面の簡単な説明

第1図A～Cは本発明の実施例の製造工程を示す断面図、第2図は他の実施例の製造断面図、第3図A～Cは本発明の第3の実施例の製造工程を示す断面図、第4図A～Dは本発明の第4の実施例の製造工程を示す断面図、第5図Aはメモリの尋ね回路を示す図、第5図B～Eは製造工程を示す断面図である。

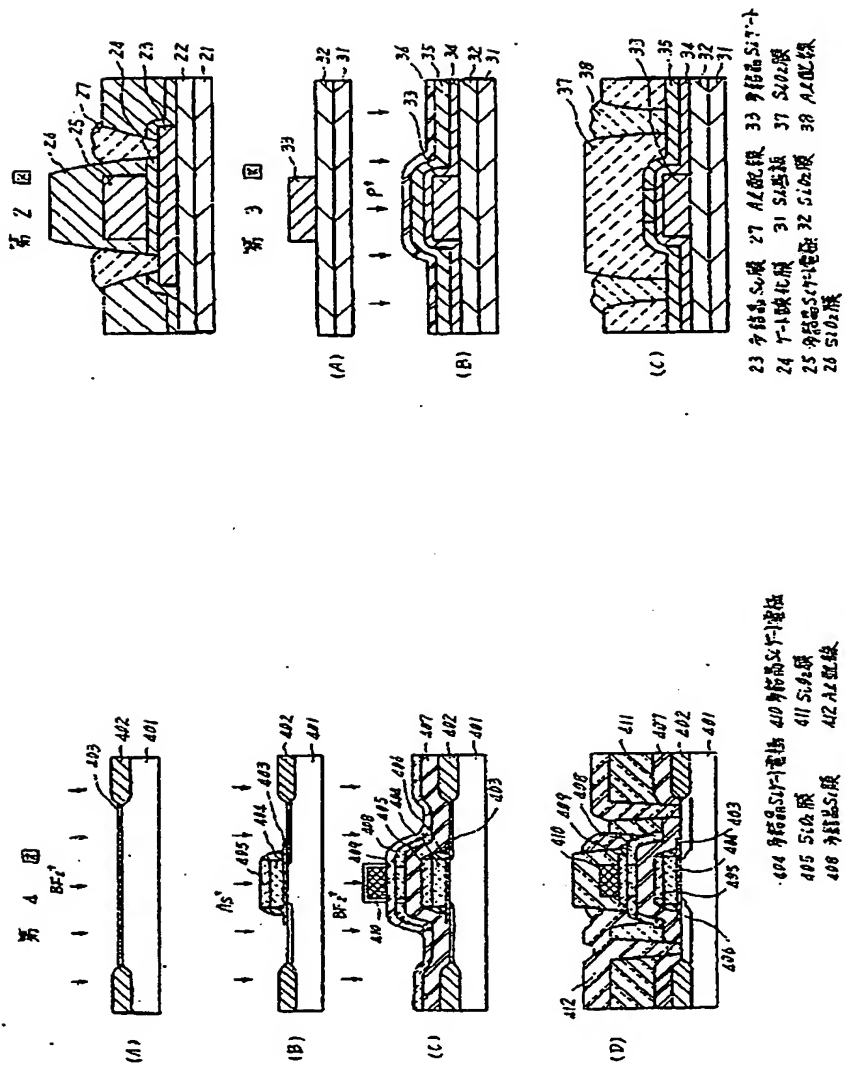
11、21…p型Si基板、12、22…SiO<sub>2</sub>膜、13、23…チャネル部多結晶Si膜、14、24…ゲート酸化膜、15、25…多結晶Siゲート電極、16、26…層間SiO<sub>2</sub>膜、17、27…A<sub>2</sub>配線、31…p型Si基板、32…SiO<sub>2</sub>膜、33…多結晶Siゲート、34…ゲート酸化膜、35…チャネル部多結晶Si膜、36…SiO<sub>2</sub>膜、37…層間SiO<sub>2</sub>膜、38…A<sub>2</sub>配線、401…p型Si基板、402…量子分離領域(SiO<sub>2</sub>膜)、403…ゲート酸化膜、404…多結晶Siゲート電極、405…SiO<sub>2</sub>膜、406…LDD用サイドウォール(SiO<sub>2</sub>)、

407…層間SiO<sub>2</sub>膜、408…チャネル部多結晶Si膜、409…ゲート酸化膜、410…多結晶Siゲート電極、411…層間SiO<sub>2</sub>膜、412…A<sub>2</sub>配線、501…p型Si基板、502…ウエル、503…量子分離領域、504…ゲート酸化膜、505…多結晶Siゲート電極、506…SiO<sub>2</sub>膜、507…LDD用サイドウォール、508…層間SiO<sub>2</sub>膜、509…多結晶Siゲート電極、510…ゲート酸化膜、511…チャネル部多結晶Si膜、512…SiO<sub>2</sub>膜、513…BおよびPを含んだSiO<sub>2</sub>膜、514…ウエル(W/TiN)、515…Pを含んだSiO<sub>2</sub>膜、516…チーラ線(A<sub>4</sub>)。

代理人 井嶋士 小川勝男



特開平1-268064(7)







Patent Publication (unexamined) No. 1-268064

Publication (unexamined) Date: October 25, 1989

Patent Application No. 63-95564

Application Date: April 20, 1988

Inventors: Takashi Hashimoto, Yoshifumi Kawamoto, and  
Takashi Kobayashi

Applicant: Hitachi, Ltd.

Representative: Patent Attorney Katsuo Ogawa and one  
other

## **SPECIFICATION**

### **1. TITLE OF THE INVENTION:**

**METHOD OF FORMING POLYCRYSTALLINE SILICON THIN FILM**

### **2. CLAIMS:**

1. A method of forming a polycrystalline silicon thin film, which comprises using a disilane or a trisilane as a reaction gas, decomposing the reaction gas at a temperature of not higher than 550°C to accumulate in an amorphous state, and subjecting to a heat treatment at a temperature higher than the accumulation temperature to polycrystallize it.

2. A polycrystalline silicon MOS-type field effect transistor, wherein source and drain regions are formed in

said polycrystalline silicon thin film, and a current passage is formed by the polycrystalline silicon thin film.

3. A polycrystalline silicon MOS-type field effect transistor, characterized in that said amorphous silicon film is oxidized for a short time by lamp heating in an oxygen atmosphere to form a gate oxide film, or after subjecting to short-time annealing or short-time oxidation by lamp heating, an insulating film is accumulated thereon by chemical vapor deposition to form a gate insulating film, or after accumulating the insulation film by chemical vapor deposition, short-time annealing or short-time oxidation by lamp heating is carried out to form a gate insulating film.

4. A complementary MOS element, wherein said polycrystalline silicon MOS-type field effect transistor is used in at least one side.

5. A complete CMOS-type static random access memory comprising a flip-flop circuit composed of a pair of inverters loaded with said polycrystalline silicon MOS-type field effect transistor and transmission MOS transistors each connected to each of outlets thereof.

### 3. DETAILED EXPLANATION OF THE INVENTION:

#### [Industrial Field of Application]

The present invention relates to a semiconductor device and a method of production of the same, and particularly, to

a semiconductor device suitable for reducing an off current of a polycrystalline Si MOS-type field effect transistor, reducing an absolute value of a threshold voltage, and increasing an operation current, and to a method of production of the same.

[Prior Arts]

As discussed in *IEEE Electron Device Lett.*, EDL-5, pages 468 to 470 (1984), in a polycrystalline Si MOS-type field effect transistor, to form a polycrystalline Si film of channel portions, a low-pressure chemical vapor-phase deposition method has hitherto been used in a temperature range of from 600 to 650°C using a monosilane gas as a reaction gas.

[Problems that the Invention is to Solve]

However, in the above-described conventional technique, the crystallinity of a polycrystalline Si film becoming a channel region and the smoothness of the interface between the polycrystalline Si and a gate insulating film are not considered, and thus, there have been problems that an off current is large, an absolute value of a threshold voltage is large, and an operation current is small.

An object of the present invention is to provide a polycrystalline Si MOS-type field effect transistor, wherein the off current is small, the absolute value of the threshold voltage is small, and the operation current is

large and also a method of production of the same.

[Means for Solving the Theme]

The above-described object can be attained by increasing the crystal grain size of the polycrystalline Si film becoming a channel region and smoothening the interface between the polycrystalline Si film and the gate insulating film.

For the purpose, in the formation of the polycrystalline Si film, in place of a conventional monosilane, a disilane or a trisilane is used as the reaction gas, the reaction product formed at a temperature of 550°C or lower but 450°C or higher is accumulated and thereafter, by applying thereto a heat treatment, a polycrystalline Si film having a large crystal grain size and a smooth interface between the polycrystalline Si film and the gate insulating film could be obtained.

By using the polycrystalline Si film as the channel region, the above-described problems can be greatly improved.

[Action]

The Si film accumulated at a temperature of 550°C or lower by an LPCVD method using a disilane or a trisilane as the reaction gas is in an amorphous state, the Si film causes largely crystal growth by the heat treatment, and also, the surface thereof is very smooth.

Thus, in an MOS-type field effect transistor using the polycrystalline Si film as the channel portion, the off current is small, the absolute value of the threshold voltage is small, and the operation current becomes large.

[Examples]

Then, the invention is described in detail with reference to the accompanying drawings.

Example 1

A p-type Si substrate 11 is prepared and heat-oxidized to form an  $\text{SiO}_2$  film 12 of 100 nm in thickness. Then, a 10%  $\text{Si}_2\text{H}_6$  gas (He base) is used as a reaction gas, and an amorphous Si film 13 is accumulated on the film at a thickness of 50 nm by a low-pressure chemical vapor-phase deposition method (hereinafter, is referred to as LPCVD method) at a temperature of  $520^\circ\text{C}$ . Then, the amorphous Si film is patterned in an island form using a photoresist pattern as a mask by a dry etching method using a  $\text{CCl}_4$  gas. Thereafter, by the LPCVD method using thermal decomposition of an  $\text{SiH}_4$  gas and an  $\text{N}_2\text{O}$  gas, an  $\text{SiO}_2$  film 14 is accumulated at a thickness of 25 nm. Then, heat treatment is carried out in an  $\text{O}_2$  gas atmosphere for 10 minutes at  $900^\circ\text{C}$ , a gate oxide film is formed. Then, P is ion-implanted in the polycrystalline product 13 at 50 KeV and with a dose of  $1 \times 10^{12}\text{cm}^{-2}$  (Fig. 1 A).

Then, using an  $\text{SiH}_4$  as a reaction gas, a polycrystalline

Si film is accumulated at a thickness of 300 nm by the LPCVD method at 620°C, and a gate electrode 15 is formed by a dry etching method using a  $\text{CCl}_4$  gas with a resist pattern mask. Then, a heat treatment is carried out for 30 minutes in an  $\text{O}_2$  gas atmosphere at 900°C to form an  $\text{SiO}_2$  film 16 of 10 nm in thickness and  $\text{BF}_2$  is ion-implanted with a dose of  $2 \times 10^{14} \text{cm}^{-2}$  at 25 KeV to form p-type high-concentration impurity regions of a source-drain and a gate (Fig. 1 B).

Then, by the LPCVD method using a thermal decomposition using an  $\text{SiH}_4$  gas and an  $\text{N}_2\text{O}$  gas, an  $\text{SiO}_2$  film of 200 nm in thickness is accumulated and using a resist pattern as a mask, wet etching is carried out in an aqueous HF solution to form a contact hole. Furthermore, Al 17 of 0.9  $\mu\text{m}$  is accumulated, and after forming a pattern of wiring using a photoresist pattern as a mask by a dry etching method using a  $\text{BCl}_3$  gas and a  $\text{CCl}_4$  gas, a heat treatment is carried out in a hydrogen atmosphere at 450°C for 30 minutes (Fig. 1 C).

In the polycrystalline Si p-channel MOS-type field effect transistor produced in the Example, the source was earthed, a voltage was applied to the drain and the gate electrode, and a drain electric current was measured.

When in a polycrystalline Si p-channel MOS-type field effect transistor wherein the polycrystalline Si becoming the channel region was produced by a conventional LPCVD method using an  $\text{SiH}_4$  gas at 620°C, the same measurements as

above were carried out, and the results were compared. As a result, in the channel length 1.6  $\mu\text{m}$ ·channel width 10  $\mu\text{m}$ , the off current at the gate voltage of 0 volt was reduced from 36.4 pA to 5.9 pA, the operation current at the gate voltage of -4 V was increased from 0.01  $\mu\text{A}$  to 0.7  $\mu\text{A}$ , the absolute value of the threshold voltage defined by the gate voltage at the drain current of 10  $\mu\text{A}$  was reduced from 3.8 V to 2.5 V, and the carrier mobility was increased from 0.7  $\text{cm}^2/\text{V}\cdot\text{S}$  to 5.0  $\text{cm}^2/\text{V}\cdot\text{S}$ , and thus, the characteristics were greatly improved.

#### Example 2

By the same production method as in Example 1, a thermally oxidized film 22 is formed on a p-type Si substrate 21 and using an  $\text{Si}_2\text{H}_6$  gas as the reaction gas, an Si film 23 is accumulated in a thickness of 50 nm by an LPCVD method at 520°C. Then, after carrying out the formation of an island, short-time oxidation by lamp heating is carried out in an  $\text{O}_2$  gas atmosphere for 150 seconds at 1,150°C to form an  $\text{SiO}_2$  film 24 of 25 nm in thickness as a gate oxidation film. Then, by the same production method as in Example 1, a polycrystalline Si gate electrode 25 is formed and after forming an  $\text{SiO}_2$  film of 10 nm in thickness, ion implantation of  $\text{BF}_2$  is carried out. Furthermore, a CVD  $\text{SiO}_2$  film 26 of 200 nm in thickness is accumulated, a contact hole is formed by wet etching, and after forming Al



wiring 27, a heat treatment is carried out in a hydrogen atmosphere. The cross section is shown in Fig. 2.

In the polycrystalline Si p-channel MOS-type field effect transistor produced in this Example, the results of carrying out the same measurements as in Example 1 showed that the characteristics were greatly improved, such that the off current was 7.7 pA, the operation current was 4.2  $\mu$ A, the threshold voltage was 1.7 V, and the carrier mobility was 6  $\text{cm}^2/\text{V}\cdot\text{S}$ .

#### Example 3

Example 1 and Example 2 mentioned above are all the structure having a gate electrode on a gate insulating film. To the structure, there is a structure wherein a gate insulating film is formed on a polycrystalline Si gate electrode containing high-concentration impurities. This Example is an example of solving the problems in such a structure and is explained using Fig. 3.

First, a p-type Si substrate 31 is prepared and thermally oxidized to form an  $\text{SiO}_2$  film 32 of 100 nm in thickness. On the film is accumulated a polycrystalline Si film of 150 nm by the LPCVD method, phosphorus diffusion with  $\text{POCl}_3$  is carried out at 875°C, and using a photoresist pattern as a mask, a gate electrode 33 is formed by a dry etching method using a  $\text{CCl}_4$  gas (Fig. 3 A).

Then, an  $\text{SiO}_2$  film of 25 nm is accumulated by the LPCVD

method using  $\text{SiH}_4$  and  $\text{N}_2\text{O}$  as the reaction gases and then, a heat treatment is carried out in an  $\text{O}_2$  gas atmosphere at  $900^\circ\text{C}$  for 10 minutes to form a gate oxidation film 34. On the film is accumulated an amorphous Si film 35 at 50 nm in thickness by the LPCVD method at a temperature of  $520^\circ\text{C}$  using a 10%  $\text{Si}_2\text{H}_6$  gas (He base) as the reaction gas. Then, using a photoresist pattern as a mask, they are worked to a predetermined form by the dry etching method using a  $\text{CCl}_4$  gas. Then, an  $\text{SiO}_2$  film 36 is accumulated by the LPCVD method at 15 nm in thickness and P is  $1 \times 10^{12}\text{cm}^{-2}$  ion-implanted at 40 KeV in the polycrystalline Si (Fig. 3 B).

Then, using a photoresist pattern as a mask,  $\text{BF}_2$  is  $2 \times 10^{14}\text{cm}^{-2}$  ion-implanted at 25 KeV to form a p-type high-concentration impurity layer of source-drain.

Then, an  $\text{SiO}_2$  film 37 is accumulated at 200 nm by a CVD method and after carrying out a heat treatment in an  $\text{N}_2$  gas atmosphere at  $900^\circ\text{C}$  for 10 minutes, using a photoresist pattern as a mask, a contact hole is formed in an aqueous HF solution by wet etching. Furthermore, Al 38 of  $0.9 \mu\text{m}$  is accumulated and after forming a pattern of wiring using a photoresist pattern as a mask by a dry etching method using a  $\text{BCl}_3$  gas and a  $\text{CCl}_4$  gas, a heat treatment is carried out in a hydrogen atmosphere at  $450^\circ\text{C}$  for 30 minutes (Fig. 3 C).

In this Example, there are the same effects as in Example 1 and in channel length  $1.6\text{ }\mu\text{m}$ ·channel width  $10\text{ }\mu\text{m}$ , the characteristics are greatly improved such that the off current was  $10\text{ pA}$ , the operation current of  $0.4\text{ }\mu\text{A}$ , the threshold voltage was  $-2.5\text{ V}$ , and the carrier mobility was  $5\text{ cm}^2/\text{V}\cdot\text{S}$ .

#### Example 4

An example of applying the present invention to a complementary form MOS (CMOS) inverter is explained using Fig. 4.

First, a p-type Si substrate 401 is prepared, and element separating regions 402 are formed using an ordinary selective oxidation method (LOCOS method). After forming a gate oxidation film 403 of  $17\text{ nm}$  by thermal oxidation, to control the threshold voltage of an n-channel MOS transistor,  $\text{BF}_2$  is  $1.5 \times 10^{12}\text{cm}^{-2}$  ion-implanted at  $40\text{ KeV}$  (Fig. 4 A).

Thereafter, a polycrystalline Si film 404 of  $250\text{ nm}$  is accumulated by the LPCVD method using an  $\text{SiH}_4$  gas, after carrying out phosphorus diffusion to impart an electric conductivity, an  $\text{SiO}_2$  film 405 of  $100\text{ nm}$  is accumulated by the LPCVD method, and a gate electrode is formed by a dry etching method. Then, to form a low-concentration layer for an LDD structure, P is  $1.2 \times 10^{12}\text{cm}^{-2}$  ion-implanted at  $40\text{ KeV}$ . Then, an  $\text{SiO}_2$  film is accumulated at a thickness of  $300$

nm by the LPCVD method, a side wall 406 is formed at the side of the gate electrode by isotropic dry etching, and As is  $5 \times 10^{15} \text{cm}^{-2}$  ion-implanted at 40 KeV to form a high-concentration impurity region which becomes a source-drain (Fig. 4 B).

Then, after carrying out the activation of the impurities by heat treatment of 10 minutes at  $900^{\circ}\text{C}$  in an  $\text{N}_2$  gas, an interlayer  $\text{SiO}_2$  film 407 of 100 nm is accumulated by the LPCVD method. Then, using  $\text{Si}_2\text{H}_6$  as the reaction gas, an amorphous Si film 408 is accumulated at 50 nm in thickness by the LPCVD method at a temperature of  $520^{\circ}\text{C}$ . The film is worked to a definite form by a dry etching method using a photoresist pattern as a mask, an  $\text{SiO}_2$  film of 25 nm is accumulated by the LPCVD method, and heat treatment is carried out in an  $\text{N}_2$  gas atmosphere at  $900^{\circ}\text{C}$  for 10 minutes to form a gas oxidation film 409. Then, a polycrystalline Si 410 is accumulated at 250 nm by the LPCVD method using  $\text{SiH}_4$  as the reaction gas, after working to a definite form by a dry etching method, a heat treatment is carried out in an  $\text{O}_2$  gas atmosphere at  $900^{\circ}\text{C}$  for 30 minutes to form an  $\text{SiO}_2$  film of 10 nm, and  $\text{BF}_2$  is ion-implanted with a dose of  $2 \times 10^{14} \text{cm}^{-2}$  at 25 KeV to form a p-type high-concentration impurity region of source-drain and a gate (Fig. 4 C).

Then, an interlayer  $\text{SiO}_2$  film 411 of 300 nm is

accumulated by a CVD method, a contact hole is formed by a dry etching method, an Al 412 of 900 nm is accumulated, and after forming a wiring pattern by a dry etching method, a heat treatment is carried out in an  $H_2$  gas atmosphere at 450 °C for 30 minutes (Fig. 4 D).

Then, an  $Si_3N_4$  film is accumulated at 1  $\mu m$  by a plasma CVD method using an  $SiH_4$  gas and an  $NH_3$  gas as the reaction gas and after working to a definite form by a dry etching method, heat treatment is carried out in an  $N_2$  gas atmosphere at 450°C for 30 minutes.

When a ring oscillator of 7 stages was prepared using the CMOS inverter produced in the above-described method and the operation confirmation was carried out, the gate delay time per one stage was 350 PS.

#### Example 5

An example of applying the present invention to a memory cell of a complete CMOS-type static-random-access-memory (SRAM) is explained using Fig. 5.

In this Example, a memory of the equivalent circuit shown in Fig. 5 A is constructed. As a load of a pair of inverters, a p-channel polycrystalline Si MOS-type field effect transistor is used.

First, an n-type Si substrate 501 is prepared and after forming a p well 502 of a B concentration of  $1 \times 10^{16}$  cm, element separating regions 503 are formed by a selective

oxidation method (LOCOS method).

After forming a gate oxidation film 504 of 17 nm by thermal oxidation, to control the threshold voltage of an n-channel MOS transistor,  $\text{BF}_2$  is  $1.5 \times 10^{12}\text{cm}^{-2}$  ion-implanted at 40 KeV (Fig. 5 B).

A connection hole for directly connecting the gate electrode of a driving MOS transistor and the diffusion layer of a transmitting MOS transistor is formed, a polycrystalline Si 505 of 250 nm is accumulated by the LPCVD method using an  $\text{SiH}_4$  gas, after carrying out phosphorus diffusion using  $\text{POCl}_3$  at  $875^\circ\text{C}$ , an  $\text{SiO}_2$  film 506 of 100 nm is accumulated by the LPCVD method, and a gate electrode is formed by a dry etching method. Then, to form a low-concentration region for an LDD structure, P is  $1.2 \times 10^{13}\text{cm}^{-2}$  ion-implanted at 40 KeV. Then, an  $\text{SiO}_2$  film of 300 nm is accumulated by the LPCVD method, a side wall 507 is formed at the side of the gate electrode by isotropic etching, and As is  $5 \times 10^{15}\text{cm}^{-2}$  ion-implanted at 40 KeV to form a high-concentration impurity region which becomes a source-drain (Fig 5 C).

Then, after carrying out the activation of impurities by heat treatment of 10 minutes at  $900^\circ\text{C}$  in an  $\text{N}_2$  gas, an interlayer  $\text{SiO}_2$  film 508 of 100 nm is accumulated by the LPCVD method. Thereafter, a connection hole for connecting

the gate electrode of a polycrystalline Si p-channel MOS transistor to the gate electrode of an n-channel MOS transistor, a polycrystalline Si of 100 nm is accumulated by the LPCVD method using an  $\text{SiH}_4$  gas, after accumulating an  $\text{SiO}_2$  film of 20 nm by the LPCVD method, As is  $2 \times 10^{15}\text{cm}^{-2}$  ion-implanted at 80 KeV, and after carrying out a heat treatment in an  $\text{N}_2$  gas at  $900^\circ\text{C}$  for 10 minutes, the  $\text{SiO}_2$  film is removed by wet etching.

Then, using a photoresist pattern as a mask, the polycrystalline Si film is worked into a definite form by a dry etching method to form a gate electrode 509. Then, an  $\text{SiO}_2$  film of 25 nm is accumulated by the LPCVD method and a heat treatment is carried out in an  $\text{N}_2$  gas atmosphere at  $900^\circ\text{C}$  for 10 minutes to form a gate oxidation film 510. Then, after forming a connection hole for connecting the drain portion diffusion layer of a polycrystalline Si p-channel MOS transistor to the gate electrode of a counter inverter, using  $\text{Si}_2\text{H}_6$  as the reaction gas, an amorphous Si film 511 of 50 nm is accumulated by the LPCVD method at a temperature of  $520^\circ\text{C}$ . The film is worked into a definite form by a dry etching method using a photoresist pattern as a mask, an  $\text{SiO}_2$  film of 15 nm is accumulated by the LPCVD method, and using a photoresist pattern as a mask,  $\text{BF}_2$  is  $2 \times 10^{14}\text{cm}^{-2}$  ion-implanted at 25 KeV to form a source-drain region (Fig.

5 E).

Then, an  $\text{SiO}_2$  film 512 of 100 nm is accumulated by the LPCVD method and on the film is accumulated an  $\text{SiO}_2$  film 513 containing B and P by a normal pressure CVD method at 350 nm in thickness. Then, after forming a connection hole for connecting the gate electrode of a transmitting n-channel MOS transistor to the word line thereof, TiN of 150 nm and W of 100 nm are vapor deposited (514), and the layer is worked to a definite form by a dry etching method. Then, as a wiring interlayer film, an  $\text{SiO}_2$  film 515 containing P is accumulated at 500 nm, after forming a connection hole for a data line, TiN of 150 nm and Al of 900 nm are vapor deposited (516), and the layer is worked into a definite form by a dry etching method.

Finally, after carrying out a heat treatment in an  $\text{H}_2$  gas atmosphere at  $450^\circ\text{C}$  for 30 minutes, an  $\text{Si}_3\text{N}_4$  film of 1  $\mu\text{m}$  is accumulated as a final protective film by a plasma CVD method using  $\text{SiH}_4$  and  $\text{NH}_3$  as the reaction gases, and after working into a definite form by a dry etching method, a heat treatment is carried out in an  $\text{N}_2$  gas atmosphere at  $450^\circ\text{C}$  for 30 minutes (Fig. 5 F).

In the memory cell produced by the method described above, the cell area could be reduced to about 2/3 as compared with a conventional CMOS-type memory cell, wherein



six transistors were prepared in an Si substrate, as produced by the equal design rule. This is equal to a conventional high resistance load type memory cell.

Furthermore, the stand-consumed electric current of the memory was 0.1 pA per pit, which was 1/10 of the high resistance load type memory cell, and also in the memory, the soft error ratio could be reduced to several figures.

[Effect of the Invention]

As is clear from the above-described explanation, according to the present invention, by using the Si film formed using the thermal decomposition of  $\text{Si}_2\text{H}_6$  in place of  $\text{SiH}_4$ , which has hitherto been used, for the channel region of a polycrystalline Si MOS-type field effect transistor, there are effects that the off current is reduced, the operation current is increased, and the absolute value of the threshold voltage is reduced.

In the above-described Examples, the p-channel type field effect transistor was shown, but the invention is not limited to it but can be also applied to an n-channel type field effect transistor. Accordingly, in the CMOS inverter circuit set forth in Example 4, there is one wherein a p-channel MOS transistor is in an Si substrate and an n-channel MOS transistor is formed in polycrystalline Si, or both are formed in polycrystalline Si.

Also, by applying a hydrogenation treatment of a

dangling bond, which is usually used for improving the characteristics of polycrystalline Si MOS type field effect transistors, far more improvements can be made..

#### 4. BRIEF EXPLANATION OF THE DRAWINGS:

Fig. 1 A to Fig. 1 C are cross-sectional views showing the production steps of one example of the present invention; Fig. 2 is a cross-sectional view showing the structure of another example; Fig. 3 A to Fig. 3 C are cross-sectional views showing the production steps of the third example of this invention; Fig. 4 A to Fig. 4 D are cross-sectional views showing the production steps of the fourth example of this invention; Fig. 5 A is a view showing an equal circuit of a memory cell; and Fig. 5 B to Fig. 5 E are cross-sectional views showing the production steps.

11, 21 --- p-Type Si substrate, 12, 22 --- SiO<sub>2</sub> film, 13, 23 --- Channel portion polycrystalline Si film, 14, 24 --- Gate oxidation film, 15, 25 --- Polycrystalline Si gate electrode, 16, 26 --- Interlayer SiO<sub>2</sub> film, 17, 27 --- Al wiring, 31 --- p-Type Si substrate, 32 --- SiO<sub>2</sub> film, 33 --- Polycrystalline Si gate, 34 --- Gate oxidation film, 35 --- Channel portion polycrystalline Si film, 36 --- SiO<sub>2</sub> film, 37 --- Interlayer SiO<sub>2</sub> film, 38 --- Al wiring, 401 --- p-Type Si substrate, 402 --- Element separating regions (SiO<sub>2</sub> films), 403 --- Gate oxidation film, 404 ---

Polycrystalline Si gate electrode, 405 --- SiO<sub>2</sub> film, 406  
 --- Side wall for LDD (SiO<sub>2</sub>), 407 --- Interlayer SiO<sub>2</sub> film,  
 408 --- Channel portion polycrystalline Si film, 409 ---  
 Gate oxidation film, 410 --- Polycrystalline Si gate  
 electrode, 411 --- Interlayer SiO<sub>2</sub> film, 412 --- Al  
 wiring, 501 --- n-Type Si substrate, 502 --- p Well, 503  
 --- Element separating regions, 504 --- Gate oxidation  
 film, 505 --- Polycrystalline Si gate electrode, 506 ---  
 SiO<sub>2</sub> film, 507 --- Side wall for LDD, 508 --- Interlayer  
 SiO<sub>2</sub> film, 509 --- Polycrystalline Si gate electrode, 510  
 --- Gate oxidation film, 511 --- Channel portion  
 polycrystalline Si film, 512 --- SiO<sub>2</sub> film, 513 --- SiO<sub>2</sub>  
 film containing B and P, 514 --- Word line (W/TiN), 515  
 --- SiO<sub>2</sub> film containing P, and 516 --- Data line (Al).

IN FIG. 5:

Q<sub>1</sub>: Load p-MOS transistor

Q<sub>2</sub>: Transmitting n-MOS transistor

Q<sub>3</sub>: Driving n-MOS transistor

W: Word line

D: Data line